

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09102192 A**(43) Date of publication of application: **15.04.97**

(51) Int. Cl. **G11C 11/401**  
**G06F 12/00**  
**G06T 1/60**  
**G11C 11/406**

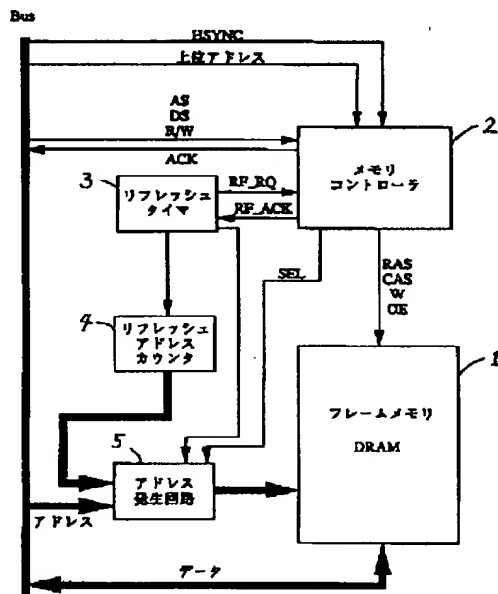
(21) Application number: **07259121**(71) Applicant: **RICOH CO LTD**(22) Date of filing: **05.10.95**(72) Inventor: **NISHIMURA YUTARO**(54) **REFRESH CONTROL METHOD**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To enable refreshing a DRAM even in the synchronous transmission of picture data on a frame memory by refreshing the DRAM synchronizing with a horizontal synchronizing signal to a bank operating as a frame memory for a moving picture.

**SOLUTION:** A memory controller 2 accepts R/W request from a bus and controls DRAM operation by the control signals RAS, CAS, W, OE to the DRAM of a frame memory 1. At this time, a bank to be accessed is decided from higher order bit of the address, a control signal is sent only to the pertinent bank, and a control signal SEL to multiplex the address is sent to an address generation circuit 5. When detecting requests/RF, -RQ from a refresh timer 3, the memory controller 2 controls RAS and CAS so that refresh cycling of the DRAW of the refresh memory 1 is performed. For example, refreshing of the bank 10 is completed before a bank 11 is refreshed by RAS 11 and CAS 11, and the entire frame memory 1 is refreshed by repeating such controls.

COPYRIGHT: (C)1997,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-102192

(43)公開日 平成9年(1997)4月15日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 11/401			G 1 1 C 11/34	3 7 1 H
G 0 6 F 12/00	5 5 0		G 0 6 F 12/00	5 5 0 B
G 0 6 T 1/60			15/64	4 5 0 H
G 1 1 C 11/406			G 1 1 C 11/34	3 6 3 A

審査請求 未請求 請求項の数3 OL (全 8 頁)

(21)出願番号 特願平7-259121

(22)出願日 平成7年(1995)10月5日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 西村 勇太郎

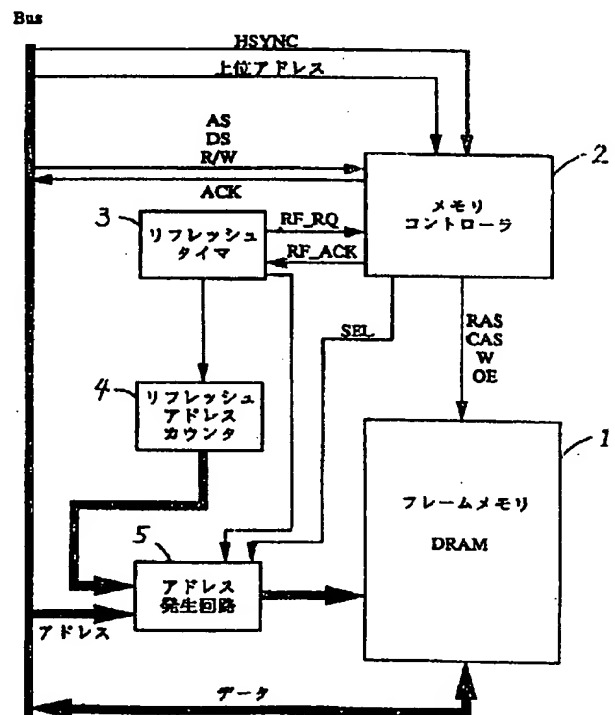
東京都大田区中馬込1丁目3番6号 株式会社リコー内

(54)【発明の名称】 リフレッシュ制御方法

(57)【要約】

【目的】メモリ上のデータを同期転送している場合に、DRAMで構成されたフレームメモリに対する効率の良いリフレッシュ制御方法を提供すること。

【構成】DRAMで構成され、複数のバンクを有するフレームメモリのリフレッシュ制御方法において、データを読み出し中もしくは書き込み中の動作中バンクは、水平同期信号に同期して1ライン毎にリフレッシュを行い、動作中バンク以外のバンクは、各バンク毎にリフレッシュを行う。また、動作中バンクでは、水平同期信号に同期して1ラインで必要な回数のリフレッシュを一括して行っても良い。さらに、動作中バンクのラインのうち、読み出し終了もしくは書き込み終了からの経過時間が所定時間以下である所定時間未経過ラインは、リフレッシュを行わない。



**【特許請求の範囲】**

【請求項1】DRAMで構成され、複数のバンクを有するフレームメモリのリフレッシュ制御方法において、データを読み出し中もしくは書き込み中の動作中バンクは、水平同期信号に同期して1ライン毎にリフレッシュを行い、前記動作中バンク以外のバンクは、各バンク毎にリフレッシュを行うことを特徴とするリフレッシュ制御方法。

【請求項2】読み出し中もしくは書き込み中の前記動作中バンクでは、水平同期信号に同期して1ラインで必要な回数のリフレッシュを一括して行うことを特徴とする請求項1記載のリフレッシュ制御方法。

【請求項3】DRAMで構成され、複数のバンクを有するフレームメモリのメモリ制御方法において、データを読み出し中もしくは書き込み中の動作中バンク以外のバンクは、各バンク毎にリフレッシュを行い、前記動作中バンクでは、前記動作中バンクのラインのうち、読み出し終了もしくは書き込み終了からの経過時間が所定時間以上である所定時間経過ラインは、1ライン毎に水平同期信号に同期してリフレッシュを行い、前記動作中バンクのラインのうち、読み出し終了もしくは書き込み終了からの経過時間が前記所定時間以下である所定時間未経過ラインは、リフレッシュを行わないことを特徴とするリフレッシュ制御方法。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】本発明は、動画用フレームメモリ等で使用されるDRAM(Dynamic Random AccessMemory)で構成された大容量メモリに対するデータのリフレッシュを制御するリフレッシュ制御方法に関する。

**【0002】**

【従来の技術】最近、画像や音声などを扱うアプリケーションが多くなり、動画用のフレームメモリを代表とする大容量のメモリへの要求が高まっている。この大容量メモリには、速度はSRAM(Static Random Access Memory)より遅いが容量が大きく、かつ単位記憶容量当たりの単価が安いという利点を持つDRAMが、一般的に使用されている。しかし、DRAMは、前述のような利点を持つ反面、DRAMのメモリセル内の静電容量素子に電荷の形で蓄えられた情報がトランジスタの接合リーク電流などにより徐々に失われるという特徴があり、DRAM中に記録された記録データを保持するために一定期間毎にメモリセルのデータの読み出しと再書き込み、つまり、リフレッシュを行わなければならない。つまり、DRAMを利用する場合、DRAMのメモリセルのデータを保持するために一定期間毎に必ず、リフレッシュが必要となる。従来は、定期的リフレッシュのリクエストを発生するリフレッシュカウンタを用意し、リフレッシュカウンタからの信号を検出することによりDRAMのリフレッシュを行っていた。大容量メモリにDRAMを使用しているシステムでは、すべ

てのDRAMに対し同時にリフレッシュを行うと、消費電力が増大し、回路の動作が不安定になるという問題がある。この消費電力の増大は、バッテリーで駆動しているシステムなどにおいて問題となってくる。そこで、メモリをバンクに分け、バンク毎、順番にリフレッシュを行うような分割リフレッシュ制御方法が提案されている。特開平6-214881号公報には、各メモリバンク毎にタイミングをずらしてリフレッシュを行い、電力消費を削減する方法が記載されている。この特開平6-214881号公報では、従来の全メモリバンクを同時にリフレッシュするというモードと、分割された各バンクごとにタイミングをずらしてリフレッシュを行うモードが切り替え可能となっており、情報処理装置全体の電力消費状態から適当なりフレッシュのモードが選択できる。

**【0003】**

【発明が解決しようとする課題】しかしながら、例えば、フレームメモリとしてDRAMを使用しているシステムにおいて、画像を表示する場合には、そのタイミングの制限により表示クロックに同期した同期転送によって1ライン分のデータを連続して読み出さなければならない。このようなシステムに、特開平6-214881号公報のリフレッシュ方法を採用すると、画像データを読み出しているバンクとリフレッシュを行っているバンクが一致した場合、システムの制御部が定期的なりフレッシュリクエストを受けても、1ラインのデータを読み込んでいる最中である場合には、リフレッシュを行うことができない。また、同期転送時には、DRAM上の連続したアドレスをアクセスするので、メモリコントローラはロウアドレスが一定でカラムアドレスだけをインクリメントしてアクセスするページモードを使用していることが多いため、このロウアドレスに対しては、その後、一定時間はリフレッシュの必要がなくなる。従来は、定期的に発生するリフレッシュリクエストは、このアクセスとは独立しているため、直前にアクセスしたアドレスであってもリフレッシュを行っていた。このようなリフレッシュ制御方法では、リフレッシュの直前に読み出しもしくは書き込みを行ったにも関わらず、リフレッシュが必要ないラインに再度重複してリフレッシュを行ってしまう。そのため、もともと、リフレッシュには多大な時間が必要であるうえに、重複リフレッシュによる時間が加算され、トータルのリフレッシュに必要な時間は膨大になってしまう。

【0004】この発明は、上記のような点に鑑みてなされたものであり、メモリ上のデータを同期転送している場合に、DRAMで構成されたフレームメモリに対する効率の良いリフレッシュ制御方法を提供することを目的とする。

**【0005】**

【課題を解決するための手段】上記の目的を達成するため、請求項1記載の発明は、DRAMで構成され、複数のバ

ンクを有するフレームメモリのリフレッシュ制御方法において、データを読み出し中もしくは書き込み中の動作中バンクは、水平同期信号に同期して1ライン毎にリフレッシュを行い、前記動作中バンク以外のバンクは、各バンク毎にリフレッシュを行うリフレッシュ制御方法とした。

【0006】請求項2記載の発明は、読み出し中もしくは書き込み中の前記動作中バンクでは、水平同期信号に同期して1ラインで必要な回数のリフレッシュを一括して行う請求項1記載のリフレッシュ制御方法とした。

【0007】請求項3記載の発明は、DRAMで構成され、複数のバンクを有するフレームメモリのメモリ制御方法において、データを読み出し中もしくは書き込み中の動作中バンク以外のバンクは、各バンク毎にリフレッシュを行い、前記動作中バンクでは、前記動作中バンクのラインのうち、読み出し終了もしくは書き込み終了からの経過時間が所定時間以上である所定時間経過ラインは、1ライン毎に水平同期信号に同期してリフレッシュを行い、前記動作中バンクのラインのうち、読み出し終了もしくは書き込み終了からの経過時間が前記所定時間以下である所定時間未経過ラインは、リフレッシュを行わないリフレッシュ制御方法とした。

【0008】

【作用】請求項1記載の発明は、DRAMで構成された複数のバンクを有するフレームメモリにおいて、データを読み出し中もしくは書き込み中の動作中バンクは、1ライン毎に水平同期信号に同期してリフレッシュを行い、動作中バンク以外のバンクは、各バンク毎にリフレッシュを行う。

【0009】請求項2記載の発明は、請求項1記載のリフレッシュ制御方法において、読み出し中もしくは書き込み中の動作中バンクでは、水平同期信号に同期して1ラインで必要な回数のリフレッシュを一括して行う。

【0010】請求項3記載の発明は、DRAMで構成された複数のバンクを有するフレームメモリにおいて、データを読み出し中もしくは書き込み中の動作中バンク以外のバンクは、各バンク毎にリフレッシュを行い、動作中バンクでは、動作中バンクのラインのうち、読み出し終了もしくは書き込み終了からの経過時間が所定時間以上である所定時間経過ラインは、1ライン毎に水平同期信号に同期してリフレッシュを行い、動作中バンクのラインのうち、読み出し終了もしくは書き込み終了からの経過時間が所定時間以下である所定時間未経過ラインは、リフレッシュを行わない。

【0011】

【実施例】以下、本願発明の実施例について説明する。請求項1記載の発明を図1及び図2の実施例に基づいて説明する。図1は、請求項1記載の発明の概要構成を示す。図2は、フレームメモリ1とメモリコントローラ2の詳細な関係を示す。

【0012】まず、各構成をそれぞれ説明する。DRAMで構成されたフレームメモリ1は、複数のバンクよりなるが、本願発明の実施例では、図2に示すように8個のバンクのDRAMモジュールからなり、各バンクは共通のアドレスバス、データバスに接続されている。フレームメモリ1のDRAMを動作させるための制御信号のうち、RAS(ロウ・アドレス・ストロープ)、CAS(カラム・アドレス・ストロープ)、W(ライト)信号はバンク毎別々に、OE(アウトプット・イネーブル)は各バンク共通にメモリコントローラ2から送られる。これらの制御信号の組み合わせにより、フレームメモリ1の読み出し、書き込み、リフレッシュを制御する。リフレッシュ制御方法の詳細については後述する。

【0013】メモリコントローラ2は、バスからのメモリリード、メモリライト(R/W)の要求を受け付け、フレームメモリ1のDRAMに対する制御信号、RAS、CAS、W、OEによってDRAMの動作を制御する。この時、アドレスの上位ビットから、アクセスするバンクを決定し、該当するバンクにだけ制御信号を送ると同時に、アドレスをマルチプレクスするための制御信号(SEL)をアドレス発生回路5に送る。また、メモリコントローラ2は、リフレッシュタイマ3からのリフレッシュリクエスト(/RF\_RQ)を検知すると、フレームメモリ1のDRAMのリフレッシュサイクルを行うようにRAS、CAS信号を制御する。リフレッシュは互いのバンクが重なり合わないように行うため、例えばRAS10、CAS10によりバンク10に対して、CAS信号とRAS信号の制御によるCASビフォアRASリフレッシュを行い、バンク10のリフレッシュが終了したらRAS11、CAS11によりバンク11のリフレッシュを行う。以上のような制御を繰り返すことによりフレームメモリ1全体のリフレッシュを行う。

【0014】リフレッシュタイマ3は、定期的リフレッシュのリクエスト(/RF\_RQ)を発生し、メモリコントローラ2にフレームメモリ1のDRAMのリフレッシュを要求する。また、RASオンリーリフレッシュモードを使用する場合、リフレッシュタイマ3は、リフレッシュアドレスカウンタ4にアドレスのインクリメントを指示し、アドレス発生回路5にリフレッシュするアドレスを選択するよう指示を出す。

【0015】リフレッシュアドレスカウンタ4は、RASオンリーリフレッシュによるリフレッシュを行う場合、フレームメモリ1のDRAMに送るロウアドレスを発生し、リフレッシュタイマ3からのリクエストによりロウアドレスをインクリメントして、フレームメモリ1に与える。この時、アドレスがフレームメモリ1の最後のアドレスとなったら、0アドレスに戻る。

【0016】アドレス発生回路5は、バスからのメモリリード、メモリライトに対して、メモリコントローラ2からの制御信号(SEL)により、アドレスをロウアドレスとカラムアドレスに分け、フレームメモリ1のDRAMに送

る。また、RASオンリーリフレッシュ時にはリフレッシュアドレスカウンタ4で生成されたロウアドレスをフレームメモリ1のDRAMに送る。

【0017】次に、請求項1記載の発明の動作の概要を説明する。バスからメモリリード、メモリライト(R/W)のリクエストを受けると、メモリコントローラ2は、リフレッシュタイマ3からのリフレッシュのリクエスト(/RF\_RQ)が無かった場合はそのままメモリのリード、ライトを行い、リフレッシュタイマ3からのリフレッシュのリクエスト(/RF\_RQ)があった場合はバスからのアクセスを保留しフレームメモリ1のDRAMのリフレッシュを行い、リフレッシュが終了した時点で保留されていたバスのリード、ライトアクセスを行う。フレームメモリ1の読み出し及び書き込みは、メモリコントローラ2がバスからの要求であるAS(アドレスストロブ)、DS(データストロブ)を検知することで開始される。この時、バスからのアドレスをアドレス発生回路5の中にあるマルチプレクサで時分割し、RAS信号、CAS信号に合わせて、分割されたロウアドレスとカラムアドレスをフレームメモリ1に送る。また、メモリコントローラ2は、アドレスの上位ビットからアクセスするバンクを決定し、該当するバンクにだけRAS信号、CAS信号などの制御信号を送る。そして、メモリコントローラ2は、読み出しの時はデータバス上にデータが有効になった時、また、書き込みの時はデータがフレームメモリ1に書き込まれた時点でバス上にACK(Acknowledge)信号を出し、フレームメモリ1の読み出し、書き込みが終了したことを知らせる。フレームメモリ1の読み出し及び書き込みが行われていないバンクのリフレッシュは、バンク毎順番に行うような分割方式を考える。図3にそのタイミングを示す。メモリコントローラ2はリフレッシュのリクエスト信号(/RF\_RQ)を受けとったらすぐにリフレッシュタイマ3に応答信号(/RF\_ACK)を返す。この時、リフレッシュタイマ3はリクエスト信号(/RF\_RQ)をクリアする。そしてメモリコントローラ2は、バンク10から順番に、リフレッシュサイクルの時間が重なり合わないようリフレッシュを行っていく。つまり、メモリコントローラ2は、リクエスト信号を受けとったらバンク10のリフレッシュサイクルに入り(RF-state==BANK10)、CAS10、RAS10をアクティブにすることにより、バンク10のCASビフォアRASリフレッシュを行う。バンク10が終了したら次のバンク11のリフレッシュサイクルに入り(RF-state==BANK11)、バンク10と同様CAS11、RAS11をアクティブにすることによりCASビフォアRASリフレッシュを行う。これをバンク17まで行うことにより、全バンクのリフレッシュを完了する。ここではCASビフォアRASモードのリフレッシュを示したが、RASオンリーモードでリフレッシュを行う場合は、アドレス発生回路5からリフレッシュアドレスカウンタ4が示しているロウアドレスをフレームメモリ1のDRAMに与え

てリフレッシュを行う。この時は、リフレッシュが終了すると同時にリフレッシュアドレスカウンタ4の値をインクリメントし、次のロウアドレスを指し示す必要がある。

【0018】次に、フレームメモリ1の画像データを同期転送する場合のリフレッシュを図4及び図5の実施例に基づいて説明する。画像データは、水平同期信号(/HSYNC)に同期して転送される。ここで、図4からわかるように、水平同期信号がアクティブになっている付近では同期転送は行われない。そのため、フレームメモリ1のDRAMのリフレッシュは、水平同期信号がアクティブになっている付近、つまり、画像データの同期転送が行われていない間に、水平同期信号に同期して行うようにする。画像データを同期転送している同期転送バンク(図5ではバンク11)のリフレッシュを図5の実施例に基づいて説明する。同期転送では実際に画像データを送信している間はリフレッシュを行うことはできない。そのため画像データを送ることがない水平同期信号(/HSYNC)のタイミングでリフレッシュを行う。図5に示すように、水平同期信号(/HSYNC)がアクティブになったらバンク11のリフレッシュサイクルに入り(RF-state==BANK11)、CAS11、RAS11をアクティブにしてリフレッシュを行い、これと同時に応答信号(/RF\_ACK)を返す。一方、図6に示すように、同期転送を行っていないバンクに対しては、リフレッシュタイマ3からのリクエストによる通常のリフレッシュを行うが、バンク11は水平同期信号に同期してリフレッシュを行っているので、このバンク11はスキップされる。メモリコントローラ2はリフレッシュのリクエスト信号(/RF\_RQ)を受けとったらすぐにリフレッシュタイマ3に応答信号(/RF\_ACK)を返す。この時、リフレッシュタイマ3は、リクエスト信号(/RF\_RQ)をクリアする。そしてメモリコントローラ2は、フレームメモリ1のDRAMのバンクのうち、同期転送バンク(バンク11)を除いてバンク10から順番に、リフレッシュサイクルの時間が重なり合わないようリフレッシュを行うに制御する。図6の実施例では、リクエスト信号を受けとったらバンク10のリフレッシュサイクルに入り(RF-state==BANK10)、CAS10、RAS10をアクティブにして、バンク10のCASビフォアRASリフレッシュを行う。バンク10のリフレッシュが終了したら同期転送バンクであるバンク11をスキップし、バンク12のリフレッシュサイクルに入り(RF-state==BANK12)、バンク10と同様CAS12、RAS12をアクティブにしてCASビフォアRASリフレッシュを行う。この操作をバンク17まで順に行い、同期転送バンク(バンク11)以外のリフレッシュを完了する。

【0019】次に、請求項2記載の発明を図7の実施例に基づいて説明する。フレームメモリ1が動画用フレームメモリとして動作している場合、水平同期信号から次の水平同期信号までの時間が予め分かっており、1ライ

ンの間に何回のリフレッシュが必要かが計算できる。その回数分だけ連続して水平同期信号に同期してリフレッシュを行えば良い。例えば、1ラインで10回のリフレッシュが必要である場合は、図7に示す実施例のようになる。つまり、メモリコントローラ2は、水平同期信号(/HSYNC)がアクティブになったらバンク11のリフレッシュサイクルに入り(RF-state==BANK11)、CAS11、RAS11をアクティブにしてフレームメモリ1のDRAMのリフレッシュを行うとともに、応答信号(/RF\_ACK)を返す。また、メモリコントローラ2は、メモリコントローラ2内部にリフレッシュ回数をカウントするカウンタ(RF-counter)を設け、リフレッシュのリクエストが発生したら、カウンタ値を0にセットし、リフレッシュを行う毎にカウンタの値をインクリメントしていく。そしてカウンタの値が10になったところで、リフレッシュの動作を中止し、リフレッシュを完了する。このように、水平同期信号の後に1ラインで必要な回数のリフレッシュを一括して行うことにより、DRAMに保存されたデータを保証する。

【0020】次に、請求項3記載の発明を図8から図11の実施例に基づいて説明する。図8のフレームメモリ21、メモリコントローラ22、リフレッシュタイマ23、リフレッシュアドレスカウンタ24は請求項1記載の発明の実施例で説明したものと同一であるため、個々の説明は省略する。

【0021】図10に示すように、リフレッシュアドレステーブル26は、リフレッシュが必要なアドレスを管理するテーブルであり、RASオンリーリフレッシュのロウアドレスとリフレッシュ実行フラグからなっている。リフレッシュ実行フラグは1ビットで示され、例えば、このリフレッシュ実行フラグが0の時はリフレッシュが不必要であり、1の時はリフレッシュが必要であるものとする。

【0022】アドレス発生回路25は、バスからのメモリリード、メモリライトに対して、メモリコントローラ22からの制御信号(SEL)により、アドレスをロウアドレスとカラムアドレスに分け、フレームメモリ21のDRAMに送るとともに、アクセスしたロウアドレスをリフレッシュアドレステーブル26にも送信する。このとき、リフレッシュアドレステーブル26では、このロウアドレスに対するリフレッシュ実行フラグを0にし、並びに、アドレス発生回路25はRASオンリーリフレッシュ時に、リフレッシュアドレスカウンタ24で生成されたロウアドレスをフレームメモリ21のDRAMに送信する。つまり、リフレッシュアドレステーブル26では、フレームメモリ21上のあるアドレスがアクセスされたら、そのロウアドレスに対するリフレッシュ実行フラグを0にして、そのロウアドレスのリフレッシュを行わないようにし、そのアクセスから一定時間経過後、つまり一定回数のリフレッシュタイマ23からのリクエスト信号(/

RF\_RQ)を受けた後、リフレッシュ実行フラグを1とし、メモリコントローラ22がリフレッシュのリクエストを受け付けるようにする。

【0023】次に、請求項3記載の発明のリフレッシュの動作について、図11の実施例に基づいて説明する。メモリコントローラ22がリフレッシュタイマ23からのリクエスト信号(/RF\_RQ)を受けると、リフレッシュアドレスカウンタ24は、アドレス値をインクリメントする。次に、アドレスカウンタ24で示されるロウアドレスのRASオンリーリフレッシュの動作に入るが、この時リフレッシュアドレステーブル26を参照し、そのロウアドレスに対するリフレッシュ実行フラグが0か1かを判定し、リフレッシュ実行フラグが1の場合はそのままリフレッシュサイクルに入り、アドレス発生回路25からロウアドレスをフレームメモリ21に与えたとともに、メモリコントローラ22からRAS信号を与えて、リフレッシュを完了させる。また、リフレッシュ実行フラグが0の場合はリフレッシュが必要ないため、リフレッシュサイクルに入らずそのまま抜ける。このようにして、図9に示すように構成されたフレームメモリ21の、現在ラインnをアクセス中である場合、このラインnより前の、あるサイズ分の領域(図9中のラインmからラインnまで)は、リフレッシュタイマ23からのリクエスト信号が一定回数にまだ達していない、つまり、アクセスから一定時間が経過していないために、対応するロウアドレスのリフレッシュ実行フラグが0のままである。従って、ラインmからラインnまでの領域は、リフレッシュが必要ないことになる。この状態のリフレッシュを示すタイミングチャートは、図11のようになる。図11では、リフレッシュアドレステーブル26のリフレッシュ実行フラグが1であるライン0~m-1、およびラインn+1~YまでをRASオンリーモードでリフレッシュする。一方、リフレッシュアドレステーブル26のリフレッシュ実行フラグが0であるラインm~nまでは、一定時間が経過するまでリフレッシュを行わないこととする。

【0024】

【発明の効果】以上説明してきたように、請求項1記載の発明によれば、大容量メモリとして利用するDRAMをリフレッシュの分割のためにバンク分けし、通常はリフレッシュリクエストを受けた後、各バンクのリフレッシュサイクルが重なり合わないよう、順にDRAMのリフレッシュを行い、動画用フレームメモリとして動作しているバンクに対しては水平同期信号に同期してリフレッシュを行うことにより、実際に、同期転送を行っていない時間内にリフレッシュを完了させて、フレームメモリ上の画像データの同期転送時においても、DRAMのリフレッシュが可能となる。

【0025】請求項2記載の発明によれば、請求項1記載の発明の効果に加え、読み出し中もしくは書き込み中

の動作中バンクでは、水平同期信号に同期して1ラインで必要な回数のリフレッシュを一括して行うことにより、不必要なリフレッシュを行うことがなく、リフレッシュ時間の短縮と消費電力の抑制ができる。

【0026】請求項3記載の発明によれば、動画用フレームメモリとして動作しているバンクに対しては水平同期信号に同期してリフレッシュを行うことにより、実際に同期転送を行っていない時間内にリフレッシュを済ませ、メモリ上のデータの同期転送時においても、DRAMのリフレッシュを可能とする。また、動画用フレームメモリとして動作しているバンクにおいて、リフレッシュの該当ラインが、直前に読み出されたり、書き込まれたりした場合は、リフレッシュを省くように制御し、不必要なリフレッシュを行わないようにして、リフレッシュ時間の短縮と消費電力の抑制ができる。

#### 【図面の簡単な説明】

【図1】請求項1記載の発明の概要構成を表すブロック図である。

【図2】請求項1記載の発明のメモリコントローラとフレームメモリの関係を表す図である。

【図3】分割リフレッシュ制御方法を示すタイミングチャート図である。

【図4】水平同期信号に同期したリフレッシュ制御方法を表す図である。

【図5】水平同期信号に同期したリフレッシュ制御方法

を表す図である。

【図6】請求項1記載の発明の実施例を表す図である。

【図7】請求項2記載の発明の実施例を表す図である。

【図8】請求項3記載の発明の概要構成を表すブロック図である。

【図9】請求項3記載の発明の実施例を表す図である。

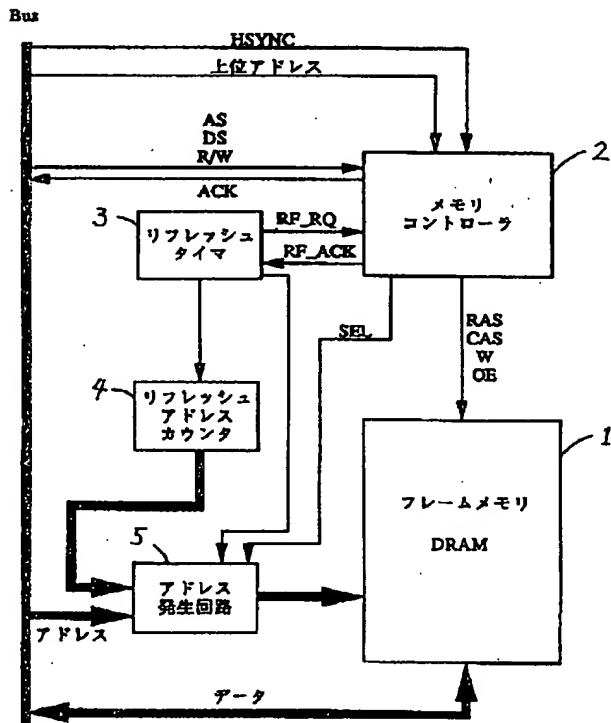
【図10】リフレッシュアドレステーブルの実施例である。

【図11】RASオンリーリフレッシュを表す図である。

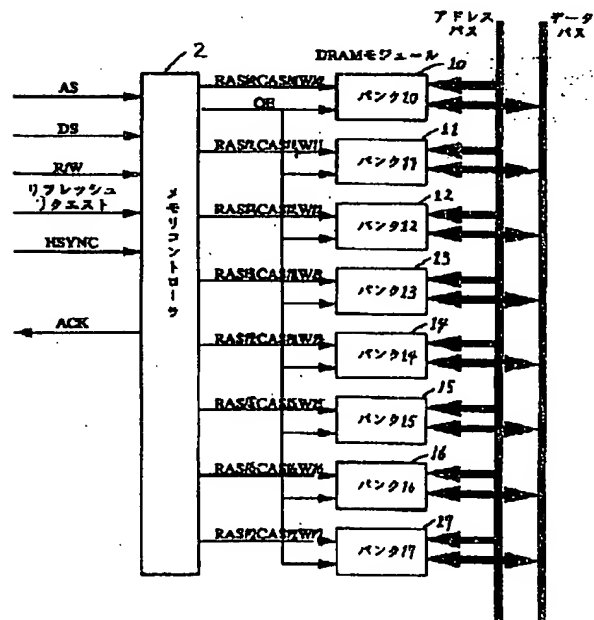
#### 【符号の説明】

- 1、21 フレームメモリ
- 2、22 メモリコントローラ
- 3、23 リフレッシュタイマ
- 4、24 リフレッシュアドレスカウンタ
- 5、25 アドレス発生回路
- 10 バンク10
- 11 バンク11
- 12 バンク12
- 13 バンク13
- 14 バンク14
- 15 バンク15
- 16 バンク16
- 17 バンク17
- 26 リフレッシュアドレステーブル。

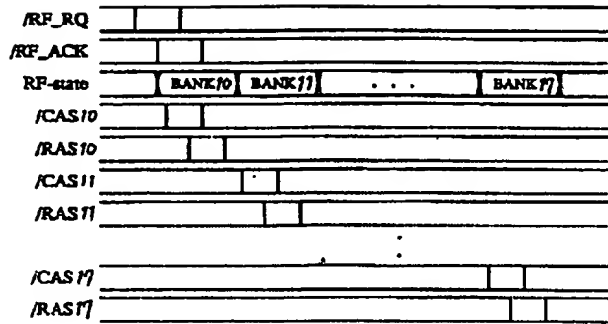
【図1】



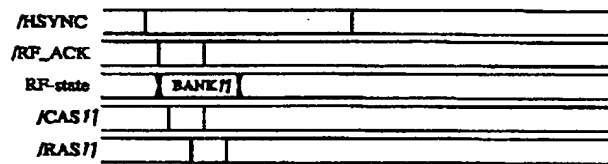
【図2】



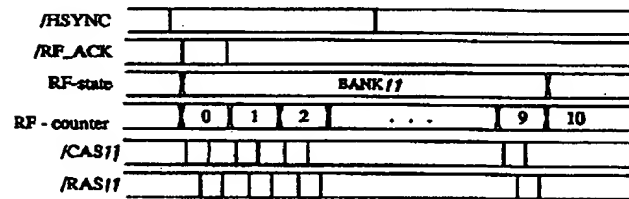
【図3】



【図5】



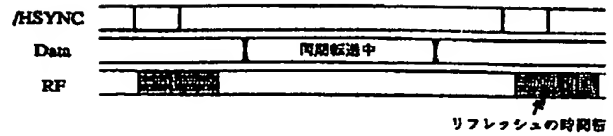
【図7】



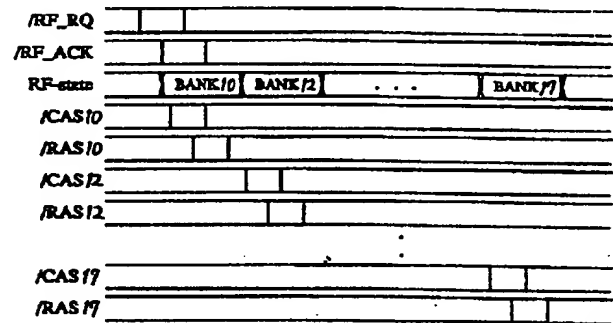
【図10】

ロウアドレス	リフレッシュ 実行フラグ
0	1
.	.
m-1	1
m	0
.	.
n	0
n+1	1
.	.
Y	1

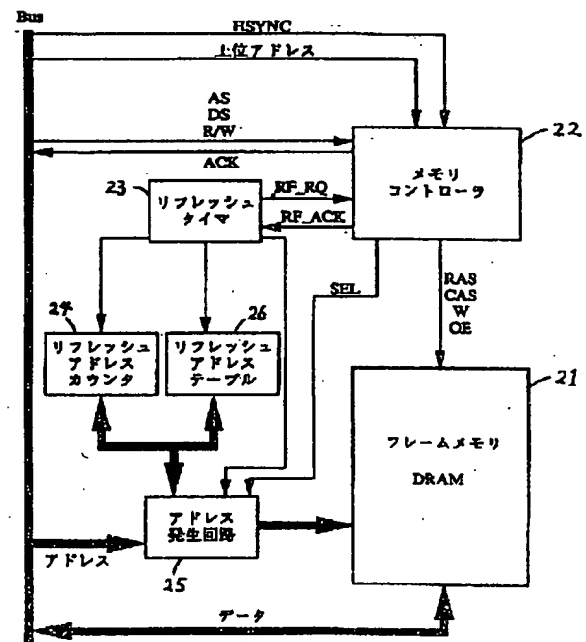
【図4】



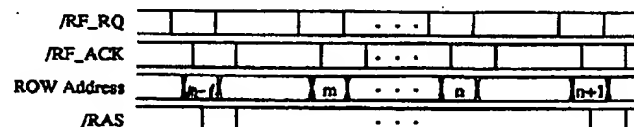
【図6】



【図8】



【図11】



【図9】

